

SPIS TREŚCI

WSTĘP	7
1. STRUKTURA SYSTEMU MIKROPROCESOROWEGO	9
1.1. Struktura mikroprocesora	13
1.1.1. Jednostka arytmetyczno-logiczna	13
1.2. Cykl pracy systemu mikroprocesorowego	17
1.3. Praktyczna realizacja magistral w systemach mikroprocesorowych	22
1.4. Współpraca mikroprocesora z układami WE/WY	27
1.4.1. Struktura układu WE/WY z adresowaniem bramy	30
1.4.2. Struktura układu WE/WY z adresowaniem dwustopniowym	31
1.4.3. Struktura układu WE/WY z adresowaniem liniowym	33
1.5. Wymiana danych między procesorem a układem WE/WY	33
1.5.1. Pooling	34
1.5.2. Wymiana inicjowana sygnałami przerwań	36
1.5.3. Wymiana w trybie bezpośredniego dostępu do pamięci (DMA)	42
2. BUDOWA MIKROKOMPUTERA JEDNOUKŁADOWEGO	
SAB 80515/80535	45
2.1. Wyprowadzenia zewnętrzne	47
2.2. Architektura mikrokomputera SAB 80515/80535	50
2.2.1. Arytmometr	52
2.2.2. Organizacja pamięci	54
2.2.2.1. Pamięć programu	54
2.2.2.2. Pamięć danych	54
2.2.2.3. Blok rejestrów specjalnych	58
2.2.3. Układy WE/WY równoległych	60
2.2.3.1. Struktury portów	60

2.2.3.1.1. Struktury portów WE/WY cyfrowych	61
2.2.4. Układ transmisji szeregowej	66
2.2.4.1. Tryby pracy układu transmisji szeregowej	68
2.2.4.1.1. Tryb 0 - rejestr przesuwany	69
2.2.4.1.2. Tryb 1 - 8-bitowa asynchroniczna dwupiętowa transmisja szeregowa	69
2.2.4.1.3. Tryb 2 - 9-bitowa asynchroniczna dwupiętowa transmisja szeregowa	69
2.2.4.1.4. Tryb 3 - 9-bitowa asynchroniczna dwupiętowa transmisja szeregowa	70
2.2.4.2. Możliwości komunikacji wielopiętowej	74
2.2.4.3. Szybkość transmisji	74
2.2.5. Układ czasowy nr 0 i nr 1	76
2.2.5.1. Tryb 0	78
2.2.5.2. Tryb 1	79
2.2.5.3. Tryb 2	79
2.2.5.4. Tryb 3	80
2.2.6. Przetwornik A/C	81
2.2.6.1. Inicjalizacja i wybór kanału wejściowego	82
2.2.6.2. Napięcia odniesienia	84
2.2.7. Układ czasowy nr 2	88
2.2.7.1. Układ przełączania układu czasowego nr2	91
2.2.7.2. Współpraca licznika nr2 z komparatorami	94
2.2.7.3. Przechwytywanie stanu licznika	97
2.2.8. Tryby pracy z ograniczonym poborem mocy	100
2.2.9. System przerwań	102
2.2.9.1. Struktura przerwań	102
2.2.9.2. Przerwania zewnętrzne nr0 i nr1	106
2.2.9.3. Przerwania od układów czasowych nr0 nr1	106

2.2.9.4. Przerwania od układu transmisji szeregowej	107
2.2.9.5. Przerwanie od układu czasowego nr2	107
2.2.9.6. Przerwanie od przetwornika A/C	108
2.2.9.7. Przerwanie zewnętrzne nr2 INT2#	108
2.2.9.8. Przerwania zewnętrzne nr3 INT3#	109
2.2.9.9. Przerwania zewnętrzne INT4,INT5,INT6	109
2.2.9.10. Struktura poziomów i priorytetów przerw	109
2.2.9.11. Obsługa przerw	111
2.2.10. Licznik WATCHDOG	112
2.2.11. Magistrale zewnętrzne	113
2.2.11.1. Rola portów P0 i P2 jako magistral	114
3. LISTA ROZKAZÓW MIKROKOMPUTERÓW RODZINY 8051	119
4. PAMIĘCI EPROM	131
4.1. Programowanie pamięci EPROM	132
4.1.1. Programowanie pojedynczym impulsem	133
4.1.2. Programowanie "inteligentne"	133
4.1.3. Programowanie szybkie	135
4.2. Cykl odczytu pamięci EPROM	139
4.3. Kasowanie pamięci EPROM	140
5. PAMIĘCI EEPROM	141
5.1. Pamięci EEPROM o dostępie równoległym	141
5.1.1. Odczyt bajtu	142
5.1.2. Zapis bajtu	143
5.1.3. Zapis strony	144
5.1.4. Pooling (programowa kontrola zakończenia procesu programowania)	145

5.2. Pamięci EEPROM o dostępie szeregowym	146
5.2.1. Rozkazy sterujące pracą pamięci ST93C06	147
5.2.1.1. Rozkaz READ	148
5.2.1.2. Rozkazy EWEN oraz EWDS	148
5.2.1.3. Rozkaz ERASE	149
5.2.1.4. Rozkaz WRITE	149
5.2.1.5. Rozkaz ERAL	151
5.2.1.6. Rozkaz WRAL	151
6. STATYCZNE PAMIĘCI RAM (STRAM)	153
6.1. Parametry dynamiczne pamięci RAM	157
LITERATURA UZUPELNIAJĄCA	159