

SPIS TREŚCI

Wstęp/11

1 PODSTAWY MATEMATYCZNE

strona 15

- 1.1. Rachunek zdań/15
- 1.2. Rachunek zbiorów/20
- 1.3. Rachunek kwantyfikatorów/26
- 1.4. Relacje i funkcje/29
- 1.5. Algebra Boole'a/34
- Literatura/37

2 CYFROWY ZAPIS INFORMACJI

strona 38

- 2.1. Określenia podstawowe/38
- 2.2. Kody liczbowe/41
 - 2.2.1. Kody naturalne/41
 - 2.2.2. Konwersja liczb przedstawionych w kodach naturalnych o różnych podstawach/47
 - 2.2.3. Uzupełnienia liczb/52
 - 2.2.4. Zapis liczb dwójkowych ze znakiem/54
 - 2.2.5. Kody dwójkowo-dziesiętne (BCD)/57
 - 2.2.6. Kody refleksyjne/60
 - 2.2.7. Zmiennoprzecinkowa reprezentacja liczb/62
- 2.3. Kody alfanumeryczne/68
- 2.4. Kody zabezpieczające przed błędami/71
- Literatura/79

3 ARYTMETYKA DWÓJKOWA

strona 80

- 3.1. Działania arytmetyczne na liczbach dwójkowych bez znaku/80
- 3.2. Działania arytmetyczne na liczbach dwójkowych ze znakiem/88
- 3.3. Działania arytmetyczne na liczbach dziesiętnych kodowanych dwójkowo BCD)/96
- 3.4. Działania arytmetyczne na liczbach zmiennoprzecinkowych/99
- Literatura/100

4

PODSTAWY TEORII UKŁADÓW CYFROWYCH

strona 101

- 4.1. Układy kombinacyjne/102
 - 4.1.1. Funkcje przełączające i formy boolowskie/102
 - 4.1.2. Rodzaje form boolowskich/108
 - 4.1.3. Minimalizacja form boolowskich/117
 - 4.1.3.1. Siatka Karnaugh/119
 - 4.1.3.2. Metoda Quine'a-McCluskeya/124
 - 4.1.3.3. Inne metody minimalizacyjne/131
 - 4.1.4. Podstawowe układy kombinacyjne: bramki. Symbole graficzne/132
 - 4.1.5. Złożone układy kombinacyjne/140
 - 4.1.5.1. Synteza układów kombinacyjnych przy użyciu funktorów równoważnych/141
 - 4.1.5.2. Zasady optymalizacji układowej/146
 - 4.1.6. Zjawisko hazardu/148
- 4.2. Układy sekwencyjne/152
 - 4.2.1. Właściwości i sposoby opisu układów sekwencyjnych/152
 - 4.2.2. Podstawowe układy sekwencyjne: przerzutniki. Symbole graficzne/163
 - 4.2.2.1. Przerzutniki asynchroniczne/165
 - 4.2.2.2. Przerzutniki synchroniczne/168
 - 4.2.3. Metody syntezy układów sekwencyjnych/179
 - 4.2.4. Synteza układów asynchronicznych/181
 - 4.2.4.1. Określenie pierwotnej tablicy przejść i wyjść/181
 - 4.2.4.2. Redukcja pierwotnej tablicy przejść i wyjść/185
 - 4.2.4.3. Kodowanie stanów wewnętrznych/186
 - 4.2.4.4. Określenie struktury bloku przejść δ i bloku wyjść λ /190
 - 4.2.5. Synteza układów synchronicznych/197
 - 4.2.5.1. Utworzenie tablicy przejść i wyjść/197
 - 4.2.5.2. Minimalizacja liczby stanów w tablicy przejść i wyjść/199
 - 4.2.5.3. Kodowanie stanów wewnętrznych/205
 - 4.2.5.4. Określanie struktury bloku przejść δ i bloku wyjść λ /206
 - 4.3. Symulacja komputerowa układów cyfrowych/208
 - 4.3.1. Użycie symulatora TLS do analizy układów kombinacyjnych/211
 - 4.3.2. Użycie symulatora TLS do analizy układów sekwencyjnych/212
- Literatura/214

5

CYFROWE UKŁADY SCALONE

strona 216

- 5.1. Podstawowe określenia i klasyfikacja/216
- 5.2. Rys historyczny/223
- 5.3. Zasadnicze parametry cyfrowych układów scalonych/224
 - 5.3.1. Szybkość działania/224
 - 5.3.2. Moc strat/227
 - 5.3.3. Odporność za zakłócenia/230
 - 5.3.4. Zgodność łączeniowa i obciążalność/235
- 5.4. Obudowy/236
- 5.5. Niezawodność/243
- Literatura/249

6

TECHNOLOGIE CYFROWYCH UKŁADÓW SCALONYCH

strona 250

- 6.1. Projektowanie cyfrowych układów scalonych/250
- 6.2. Wytwarzanie cyfrowych układów scalonych/257
 - 6.2.1. Wytwarzanie płytek podłożowych/257
 - 6.2.2. Proces planarny/260
 - 6.2.2.1. Wytwarzanie obszarów izolacyjnych/263
 - 6.2.2.2. Litografia/265
 - 6.2.2.3. Domieszkowanie/274
 - 6.2.2.4. Wykonanie połączeń/285
 - 6.2.3. Elementy układów scalonych/289
 - 6.2.3.1. Tranzystory bipolarne/290
 - 6.2.3.2. Diody/296
 - 6.2.3.3. Tranzystory polowe/300
 - 6.2.3.4. Rezystory/307
 - 6.2.4. Wytwarzanie bipolarnych układów scalonych/311
 - 6.2.4.1. Klasyczny proces technologiczny/312
 - 6.2.4.2. Ulepszenia technologiczne/318
 - 6.2.5. Wytwarzanie układów scalonych MOS/324
 - 6.2.5.1. Podstawowy proces technologiczny/324
 - 6.2.5.2. Ulepszenia technologiczne/327
 - 6.2.6. Wytwarzanie układów scalonych CMOS/336
- Literatura/345

7

BUDOWA ELEKTRYCZNA I CHARAKTERYSTYKI
UŻYTKOWE CYFROWYCH UKŁADÓW SCALONYCH

strona 348

- 7.1. Najprostsze bramki/348
- 7.2. Układy TTL/350
 - 7.2.1. Podstawowa bramka TTL/351
 - 7.2.2. Inne rodzaje bramek/364
 - 7.2.3. Układy z wyjściami do połączeń szynowych/370
 - 7.2.4. Przerzutniki/374
 - 7.2.5. Układy monostabilne i astabilne/377
 - 7.2.6. Ulepszone serie układów TTL/381
 - 7.2.6.1. Serie S i LS/382
 - 7.2.6.2. Serie ALS, FAST i AS/387
 - 7.2.7. Zasady projektowania systemowego z użyciem układów TTL/392
 - 7.2.7.1. Zasady ogólne/392
 - 7.2.7.2. Połączenia/395
 - 7.2.7.3. Zakłócenia/404
- 7.3. Układy ECL/406
 - 7.3.1. Podstawowe bramki ECL/410
 - 7.3.2. Inne układy o małym stopniu scalenia/421
 - 7.3.3. Zasady projektowania systemowego z użyciem układów ECL/428
 - 7.3.3.1. Zasady ogólne/428
 - 7.3.3.2. Połączenia/431

7.4.	Układy MOS/441
7.4.1.	Układy statyczne/442
7.4.2.	Układy dynamiczne/448
7.5.	Układy CMOS/453
7.5.1.	Podstawowe układy CMOS/458
7.5.1.1.	Budowa i właściwości/458
7.5.1.2.	Szybkość działania/470
7.5.1.3.	Moc strat/471
7.5.1.4.	Odporność na zakłócenia/472
7.5.1.5.	Zgodność łączeniowa i obciążalność/475
7.5.2.	Inne układy o małym stopniu scalenia/476
7.5.3.	Układy dynamiczne/483
7.6.	Specyficzne techniki bipolarne LSI/VLSI/492
7.6.1.	Modyfikacje standardowych układów o małym stopniu scalenia/492
7.6.2.	Układy I ² L/497
7.6.3.	Układy STL i ISI/505
7.7.	Układy GaAs/507
	Literatura/513

8

CYFROWE BLOKI FUNKCJONALNE

strona 514

8.1.	Podstawowe definicje/514
8.2.	Układy kombinacyjne/517
8.2.1.	Multipleksery i demultipleksery/517
8.2.2.	Zastosowanie multiplekserów do syntezy układów kombinacyjnych/520
8.2.3.	Konwertery kodów/523
8.2.3.1.	Kodery/524
8.2.3.2.	Dekodery/525
8.2.3.3.	Konwertery kodu <i>NB</i> na kod <i>BCD</i> i odwrotnie/530
8.2.4.	Komparatory cyfrowe/535
8.2.5.	Sumatory/537
8.2.6.	Układy arytmetyczno-logiczne/547
8.2.7.	Multiplikatory/550
8.3.	Bloki sekwencyjne/555
8.3.1.	Rejestry/555
8.3.2.	Liczniki/560
8.4.	Bloki pamięciowe/573
8.4.1.	Pamięci o swobodnym dostępie (RAM)/575
8.4.1.1.	Pamięci statyczne (S-RAM)/576
8.4.1.2.	Pamięci dynamiczne (D-RAM)/586
8.4.2.	Pamięci stałe/602
8.4.2.1.	Pamięci ROM/603
8.4.2.2.	Pamięci PROM/608
8.4.2.3.	Pamięci EPROM/610
8.4.2.4.	Pamięci EEPROM/618
8.4.2.5.	Zastosowanie pamięci stałych do syntezy układów kombinacyjnych/627
8.4.3.	Inne rodzaje pamięci/631
8.5.	Scalone bloki funkcjonalne do specyficznych zastosowań (ASIC)/639
8.5.1.	Programowane struktury logiczne (PLD)/641

- 8.5.2. Matryce bramkowe (GA) i komórkowe (SC) oraz układy indywidualne (FC)/653
Literatura/664

9

ZESPOŁY, URZĄDZENIA I SYSTEMY CYFROWE

strona 668

- 9.1. Mikroprogramowe układy sterujące/669
9.2. Mikroprogramowe układy operacyjne/686
9.3. Mikrokomputery/692
9.3.1. Struktury podstawowe/62
9.3.2. Mikroprocesory ze stałym zbiorem rozkazów/701
9.3.3. Programowanie komputerów/707
9.3.4. Architektura komputerów/717
9.3.4.1. Architektura mikroprocesorów 8086/8088/720
9.3.4.2. Architektura RISC/723
Literatura/729

10

ZASTOSOWANIA CYFROWYCH UKŁADÓW SCALONYCH
W TECHNICIE IMPULSOWEJ

strona 731

- 10.1. Układy monostabilne/733
10.2. Układy astabilne/740
10.3. Detektory zboczy impulsów/745
10.4. Przykłady zastosowań w pikosekundowej metrologii odstępów czasu/748
Literatura/755

DODATEK/756

Symbole graficzne układów cyfrowych zgodne z normą ICE/756

SKOROWIDZ/768